

[0010] In FIG. 1, drawing region 1 and pattern storage region 2 are shown to be in the same memory but may also be in a region ensured on the physically the same memory (in this event, the size of the memory is greater than or equal to the size of drawing region 1 + the size of pattern storage region 2), or may be in physically separate memories. A plurality of different pattern data, for example, figures, characters, and patterns etc. are set up and stored in advance in predetermined sizes (for example, in one word units) in the pattern storage region 2. The pattern load controller 3 holds a lead address of the pattern storage region 2 of the pattern data depicted the previous time, and compares this address and the lead address of the pattern storage region 2 of the pattern data depicted on this occasion. When the addresses do not match, it is determined that the pattern data is not in the pattern cache memory 4 and the pattern data depicted this time is read out from the pattern storage region 2 and written to the pattern cache memory 4. Further, when the lead address comparison results match, processing is immediately handed over to the depiction controller 5. Read/write processing is therefore not carried out at the pattern load controller 3 when there is no change in the type of pattern data to be depicted.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-167038

(43)Date of publication of application : 25.06.1996

(51)Int.Cl.

G06T 11/40

G06F 12/08

G09G 5/36

(21)Application number : 06-332144

(71)Applicant : NIPPON DIGITAL KENKYUSHO:KK

(22)Date of filing : 12.12.1994

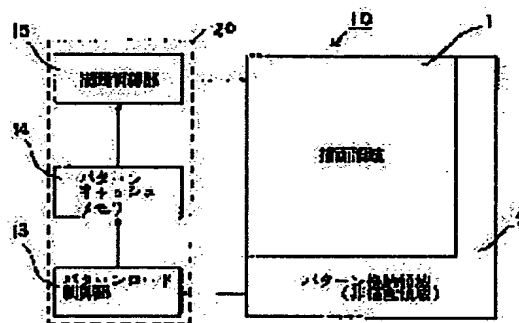
(72)Inventor : SUZUKI KOTARO

(54) PATTERN DRAWING SYSTEM

(57)Abstract:

PURPOSE: To efficiently draw a pattern with necessary pattern data among plural kinds of pattern data by transferring addresses, data, etc., through a different system.

CONSTITUTION: In a pattern storage area 2, plural different pattern data, e.g. graphics, characters, patterns, etc., are set with specific size. A pattern load control part 13 holds the head address of a pattern storage area 2 of last drawn pattern data and compares the address with the head address of pattern data to be drawn this time in the pattern storage area 2. When they do not match each other, it is judged that the data to be drawn this time are not present in a pattern cache memory 14, and the pattern data to be drawn this time are read out of the pattern storage area 2 and written in the pattern cache memory 14. A drawing control part 15 reads the pattern data out of the pattern cache memory 14 and writes them in a drawing area 1. The drawing control part 15 reads and writes data in parallel or through pipelinelike operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-167038

(43)公開日 平成8年(1996)6月25日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 11/40				
G 0 6 F 12/08	3 1 0 Z	7623-5B		
G 0 9 G 5/36	5 3 0 X	9377-5H 9365-5H	G 0 6 F 15/ 72	4 0 0
審査請求 未請求 請求項の数 2 F D (全 7 頁)				

(21)出願番号 特願平6-332144

(22)出願日 平成6年(1994)12月12日

(71)出願人 591008605

株式会社日本デジタル研究所
東京都新宿区西新宿2丁目1番1号

(72)発明者 鈴木 光太郎

神奈川県川崎市麻生区南黒川10-1 株式
会社日本デジタル研究所川崎研究開発セン
ター内

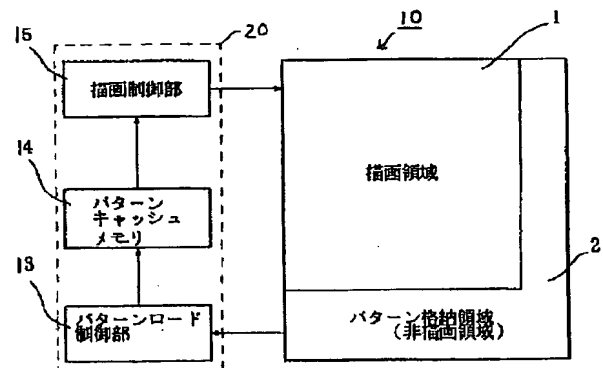
(74)代理人 弁理士 永田 武三郎

(54)【発明の名称】 パターン描画方式

(57)【要約】

【目的】 アドレス／データ等のデータ転送を別系とすることにより複数種類のパターンデータのうち、必要なパターンデータによる描画を効率良く行い得るパターン描画方式の提供。

【構成】 パターン格納領域2には予め複数の異なるパターンデータ、例えば、図形、文字、模様等が所定の大きさで設定されている。パターンロード制御部3は前回に描画したパターンデータのパターン格納領域2上の先頭アドレスを保持し、そのアドレスと今回描画するパターンデータのパターン格納領域2上の先頭アドレスとの比較を行い、不一致のばあいにはパターンデータがパターンキャッシュメモリ4に存在しないと判断して今回描画するパターンデータをパターン格納領域2から読み出してパターンキャッシュメモリ4に書込む。描画制御部5はパターンキャッシュメモリ4からパターンデータを読み出して描画領域1に書込む。描画制御部5による読み出し及び書込は並列処理または、パイプライン的な動作によって行うことができる。



【特許請求の範囲】

【請求項 1】 パターン格納領域に格納されたパターンデータのなかから描画に必要とするパターンデータを取り出して描画領域のなかの所定区域を塗り潰して描画を行うパターン描画方式であって、下記ステップ（１）ないし（３）を有することを特徴とするパターン描画方式。

（１） 描画指示に基づき、保持されているパターンアドレスと指示されたパターンアドレスを比較して両者が等しいときステップ（３）以下を実行し、異なるとき指示されたパターンアドレスを保持し、ステップ（２）以下を実行する。

（２） 指示されたパターンアドレスを先頭アドレスとするパターンデータを取り出してパターンキャッシュメモリに格納する。

（３） パターンキャッシュメモリに格納したパターンデータの読み出しと、描画領域の所定区域に、読み出した該パターンデータを書込む。

【請求項 2】 請求項 1 記載のパターン描画方式において、パターンキャッシュメモリと描画領域とを少なくともアドレスバス及びデータバスを別にして構成することにより、ステップ（３）においてパターンデータのパターンキャッシュメモリからの読み出しと読み出したパターンデータの書込みとを同時に並行させたサイクルで実行することを特徴とするパターン描画方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は塗り潰し描画方式に関し、特に、パターンデータによる描画方式に関する。

【0002】

【従来の技術】 表示すべき画面の特定領域（例えば、図形や、閉鎖領域等）を塗り潰すための塗り潰し描画方式としては、閉鎖領域を始点から終点までスキャンして塗り潰す方式（特開昭 63-241673 号）の他に、①図 6 に示すように描画領域 61 と同一バス上で非描画領域をパターン格納領域 62 として割当て、そこに複数種類のパターンデータを記憶し、パターン描画手段 63 がパターンデータのパターン領域上の先頭アドレスに基づいてパターンデータをパターン格納領域 62 から読み出したあと、改めて描画領域に書込むという 2 段階処理の繰返しによりパターンの描画を行う方式（特開平 6-96230 号）や、②フレームバッファと同サイズのパターンメモリに複数のパターンを記憶し、設定によって各パターンがアドレス変換によりいずれも全パターンメモリにマッピングされる仕組を用意した上で、パターンメモリのリードサイクルとフレームバッファのライトサイクルを常に同時に並行して発生することにより、パターンを表示する方式（特開平 2-275593 号）があった。

【0003】

【発明が解決しようとする課題】 しかしながら、上述したようなパターン描画方式①、②では以下に述べるような問題点があった。先ず、①についてはアドレス／データ等の転送を同一系統のバスで行うため、描画処理時間としてパターンデータの書込時間の他に読み出し時間が毎回必要となり、時間的効率が低いこと。また、②についてはパターンメモリのリードサイクルとフレームバッファのライトサイクルを常に同時に並行して発生することにより、リード単独での処理時間がないため高速に転送することが可能であるが、X（横）方向にビット単位でオフセットをかける場合などについての応用性がない点、及びパターンメモリとしてフレームバッファと同じサイズの領域を要すること、及びフレームバッファと等しい大きさのパターンメモリを要することによる LSI 化等による回路の集約化への対応が困難である点。

【0004】 本発明は上記従来技術の問題点を解消するためになされたものであり、アドレス／データ等のデータ転送を別系とすることにより複数種類のパターンデータのうち、必要なパターンデータによる描画を効率良く行い得るパターン描画方式を提供することを目的とする。

【0005】

【課題を解決するための手段】 上記の目的を達成するために第 1 の発明のパターン描画方式は、パターン格納領域に格納されたパターンデータのなかから描画に必要とするパターンデータを取り出して描画領域のなかの所定区域を塗り潰して描画を行うパターン描画方式であって、下記ステップ（１）ないし（３）を有することを特徴とする。

（１） 描画指示に基づき、保持されているパターンアドレスと指示されたパターンアドレスを比較して両者が等しいときステップ（３）以下を実行し、異なるとき指示されたパターンアドレスを保持し、ステップ（２）以下を実行する。

（２） 指示されたパターンアドレスを先頭アドレスとするパターンデータを取り出してパターンキャッシュメモリに格納する。

（３） パターンキャッシュメモリに格納したパターンデータの読み出しと、描画領域の所定区域に、読み出した該パターンデータを書込む。

【0006】 第 2 の発明は上記第 1 の発明のパターン描画方式において、パターンキャッシュメモリと描画領域とを少なくともアドレスバス及びデータバスを別にして構成することにより、ステップ（３）においてパターンデータのパターンキャッシュメモリからの読み出しと読み出したパターンデータの書込みとを同時に並行させたサイクルで実行することを特徴とする。

【0007】

【作用】 上記構成により、第 1 の発明のパターン描画方式では、一旦、必要なパターンデータをパターン格納領

10

20

30

40

50

域から読み出してパターンキャッシュメモリに記憶してから、記憶されたパターンデータをパターンキャッシュメモリから読み出して描画領域の指定エリアに書き込む。

【0008】第2の発明のパターン描画方式では、更に、パターンキャッシュメモリと描画領域とを少なくともアドレスバス及びデータバスを別にして構成しているので、パターンキャッシュメモリから描画領域への読み出し/書き込みを同時に並行したサイクルで処理できることから、描画するパターンデータがパターンキャッシュメモリに存在する限りパターンデータの読み出しに要する時間が不要となる。また、パイプライン的な動作が可能である。

【0009】

【実施例】図1は本発明のパターン描画方式に基づくパターン描画装置の一構成例を示すブロック図であり、パターン描画装置10は描画領域1と、複数の異なるパターンデータを格納するパターン格納領域2と、パターンロード制御部3と、描画するパターンデータの記憶領域としてのパターンキャッシュメモリ4と、描画制御部5

を有している。

【0010】なお、図1では描画領域1とパターン格納領域2が同一メモリ上にあるかのように示されているが、両者は物理的に同一メモリ上に確保された領域（この場合はメモリの大きさ \geq 描画領域1の大きさ+パターン格納領域2の大きさとなる）でもよく、また、物理的に別のメモリでもよい。パターン格納領域2には予め複数の異なるパターンデータ、例えば、図形、文字、模様等が所定の大きさ（例えば、1ワード単位）で設定され格納されている。パターンロード制御部3は前回に描画したパターンデータのパターン格納領域2上の先頭アドレスを保持し、そのアドレスと今回描画するパターンデータのパターン格納領域2上の先頭アドレスとの比較を行い、不一致のばあいにはパターンデータがパターンキャッシュメモリ4に存在しないと判断して今回描画するパターンデータをパターン格納領域2から読み出してパターンキャッシュメモリ4に書き込む。また、先頭アドレスの比較結果が一致する場合には直ちに描画制御部5に処理を引渡す。従って、描画すべきパターンデータの種類に変更がない場合にはパターンロード制御部3での読み出し/書き込み処理は行われない。

【0011】描画制御部5はパターンキャッシュメモリ4からパターンデータを読み出して描画領域1に書き込む。描画領域1への書込の際にはワードバウンダリに対応するための処理（データマスク等）や、データの論理演算や、アドレスのコントロール等を要するが、これらは公知の方法の処理による。また、パターンキャッシュメモリ4と描画領域1は同一系でなく分離したバス上にある（すなわち、パターンキャッシュメモリ4のアドレス/データは描画領域1とは別のバスを用いる）ので、

パターンデータのパターンキャッシュメモリ4からの読み出し及び描画領域1への書込みを同時に行うことができる。なお、この読み出し/書き込みを見掛け上同時処理するための動作はパイプライン的な動作によって行われる（後述；図4参照）。

【0012】図2はパターン格納領域2、パターンキャッシュメモリ4、及び描画領域1におけるパターンデータの流れの説明図であり、図3は本発明のパターン描画方式における処理の流れを示すフローチャートであり、図4は描画制御部5のパイプライン動作を説明するためのタイミングチャートである。なお、パターン描画装置は通常はコンピュータ装置やDTP、CAD等の表示系、或いは印刷系に係わる描画手段として、それらの中央処理装置（CPU）により次に表示或いは印刷すべきパターンの描画指示が与えられ、この描画指示によりパターン描画装置の動作が開始する。

【0013】以下、図2、図4を基に図3のフローチャートに従って本発明によるパターン描画の方式の動作例について説明する。なお、図3で、ステップS1からS5はパターンロード制御部3の動作に相当し、ステップS6は描画制御部5の動作に相当する。いま、図2に示すようにパターン格納領域2にその先頭アドレスから順にパターンデータ8-1、8-2、8-3、・・・が格納されているものとし、それらの先頭アドレス（以下、パターンアドレスと記す）をa1、a2、a3、・・・とする（本実施例では、パターンデータ8-1、8-2、8-3はそれぞれ図に示すような模様パターンとした）。

【0014】図3のステップS1ではパターンアドレス用ラッチ（図示せず）を初期化しステップS2に移行する。ステップS2ではコンピュータ本体側（図示せず）のCPUからの描画指示があるまで指示待ち動作を継続する。CPUからの描画指示があった場合にはステップS3に移行する。なお、CPUからの描画指示は任意の時点でなされる。ステップS3ではラッチしているパターンアドレスと指示されたパターンアドレスとを比較し、両者のアドレスが一致した場合にはステップS6に移行し、一致しない場合にはステップS4に移行する。

【0015】図2の例で述べると、パターンデータ8-1を描画の終了後、CPUからパターンデータ8-2の描画指示（具体的にはパターンデータ8-2の先頭アドレスa2と描画領域に係わる情報がCPUから与えられる）があるとラッチしているパターンアドレス（パターンデータ8-1の先頭アドレスa1）と指示されたパターンアドレスa2を比較する。この場合はa1 \neq a2であるからステップS4に移行する。ステップS4では指示されたパターンアドレスに基づき該当するパターンデータをパターン格納領域2からパターンキャッシュメモリ（RAM）4にロードし格納してステップS5に移行する。図2の例で述べると、指示されたパターンアドレ

ス a 2 の示すパターンデータ 8-2 をパターン格納領域 2 からパターンキャッシュメモリ 4 に格納する。ステップ S 5 では指示されたパターンアドレス (図 2 の例では a 2) をラッチする。ステップ S 6 で描画制御部 5 はパターンキャッシュメモリ 4 上のパターンデータを読み出し、描画領域上の図形または矩形等の閉鎖領域 6 (図 2 参照) 等にそのパターンデータを書込むことにより図形または閉鎖領域 6 等をパターンデータで埋め込むようにして描画する。

【0016】なお、この場合、描画制御部 5 は図 4 に示すように時刻 t 1 にパターンキャッシュメモリからの 1 回目のパターンの読み出し R 1 をおこなった後、時刻 t 2 に読み出したパターンの書込み W 1 を行うが、この書込と同時にパターンキャッシュメモリからの 2 回目のパターンの読み出し R 2 を行わせるようにする。

【0017】以下、同様に時刻 t 3 に読み出したパターンの書込み W 2 を行うが、この書込みと同時にパターンキャッシュメモリからの 3 回目のパターンの読み出し R 3 を行わせるようにし、・・・同様に時刻 t i に読み出したパターンの書込み W (i-1) を行うが、この書込みと同時にパターンキャッシュメモリからの i 回目のパターンの読み出し R i を行わせることにより先読みによるパイプライン的な動作を行わせることができる。また、このパイプライン的な動作は、パターンキャッシュメモリと描画領域のデータバス幅が異なる場合や、パターンにビット単位でオフセットをかけて描画する場合にも有効である。

【0018】図 5 (a) はデータバスの幅が異なる場合の例であり、パターンキャッシュメモリ側が 16 ビット、描画領域側が 32 ビットの場合を示す。図 5 (a) で、描画制御部は時刻 t 1 までにパターンキャッシュメモリからの 1 回目のパターンの読み出し R 1 a をおこなった後、時刻 t 2 までに読み出し R 1 b、R 2 a を行い、時刻 t 2 に R 1 a、R 1 b で読み出した (32 ビット分の) パターンの書込み W 1 を行う、この書込と同時にパターンキャッシュメモリからのパターンの読み出し R 2 b が開始され、時刻 t 3 に R 2 a、R 2 b で読み出したパターンの書込み W 1 を行わせるようにする (この間に読み出し R 3 a が完了している)。以下、同様に時刻 t 4、t 5、・・・にそれまでに読み出した 32 ビット分のパターンの書込み W 3、W 4、・・・を行う。また、オフセットをかける場合は、書込む 1 ワード分のデータを作るために連続性のある 2 ワードのパターンデータを読み込み、バレルシフタ等によって 1 ワード分の書込データを選び出す必要がある。

【0019】図 5 (b) は X (横) 方向にオフセットをかける場合の説明図であり、パターンキャッシュメモリと描画領域のバス幅等が等しい場合の例である。図 5 (b) には、描画制御部は連続性のある 2 ワードのパターンデータ (例えば、R a、R b) をパターンキャッシ

ュメモリから読み込み、バレルシフタ等によって 1 ワード分の書込データ (例えば、W a b) を選び出して描画領域に書込む。

【0020】上述したように、本実施例のパターン描画方式ではパターンデータをパターン格納領域 2 から直接読み出して描画領域の指定エリアに書込むサイクルを繰返すのではなく、一旦、必要なパターンデータをパターン格納領域 2 から読み出してパターンキャッシュメモリ 4 に記憶してから、記憶されたパターンデータをパターンキャッシュメモリ 4 から読み出して描画領域の指定エリアに書込むよう構成している。さらに、パターンキャッシュメモリ 4 と描画領域 1 は同一系でなく分離したバス上に構成してあるので、読み出し/書込みを同時に並行したサイクルで処理することが可能であり、前記従来方式①とは異なり、パターンデータの読み込み時間分だけ時間効率が向上する。

【0021】さらに、パターンキャッシュメモリ 4 と描画領域 1 は同一系でなく分離したバス上に構成してあるので描画制御部をパイプライン的な動作をなすよう構成することにより、パターンキャッシュメモリと描画領域のデータバス幅が異なる場合や、パターンにビット単位でオフセットをかけて描画する場合にも本発明の方式を適用することができる。

【0022】なお、実際に描画装置として構成する場合で、図 1 に示すパターンロード制御部 3、パターンキャッシュメモリ 4、及び描画制御部 5 をゲートアレイ 20 として構成し LSI 化する場合にはパターンキャッシュメモリはできるだけ小さい容量 (領域の大きさをいう) であることが LSI 設計上 (回路の簡素化および、費用効果上) 望ましい。このため、実施例ではパターンキャッシュメモリの容量はパターンを描画した際にパターンのイメージ表現が不自然にならない程度の容量を確保するよう構成し、また、パターンキャッシュメモリとパターン格納領域の 1 パターン分の領域は同じ容量である。

【0023】

【発明の効果】以上説明したように本発明によれば、パターンキャッシュメモリから描画領域への読み出し/書込みを同時に並行したサイクルで処理できるので、描画するパターンデータがパターンキャッシュメモリに存在する限りパターンデータの読み出しに要する時間が不要となりパターン描画時間を大幅に縮小でき、特に、同じ種類のパターンデータで描画を繰返す場合や描画範囲が広い場合に効果が大きい。

【0024】また、パターンキャッシュメモリから描画領域への読み出し/書込み時にパイプライン的な動作が可能なることから、パターンキャッシュメモリと描画領域のデータバス幅が異なる場合や、パターンにビット単位でオフセットをかけて描画する場合にも本発明の方式を適用することができる。

【図面の簡単な説明】

10

20

30

40

50

【図 1】本発明のパターン描画方式に基づくパターン描画装置の一構成例を示すブロック図である。

【図 2】パターン格納領域、キャッシュメモリ、及び描画領域におけるパターンデータの流れの説明図である。

【図 3】本発明のパターン描画方式における処理の流れを示すフローチャートである。

【図 4】描画制御部のパイプライン動作を説明するためのタイミングチャートである。

【図 5】描画制御部のパイプライン的な動作の応用例を説明するためのタイミングチャートである。

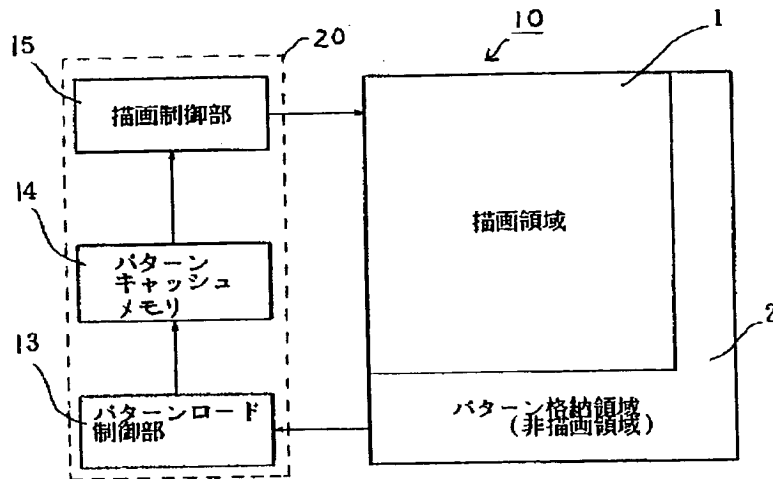
【図 6】パターン描画方式の先行技術の説明図である。

【符号の説明】

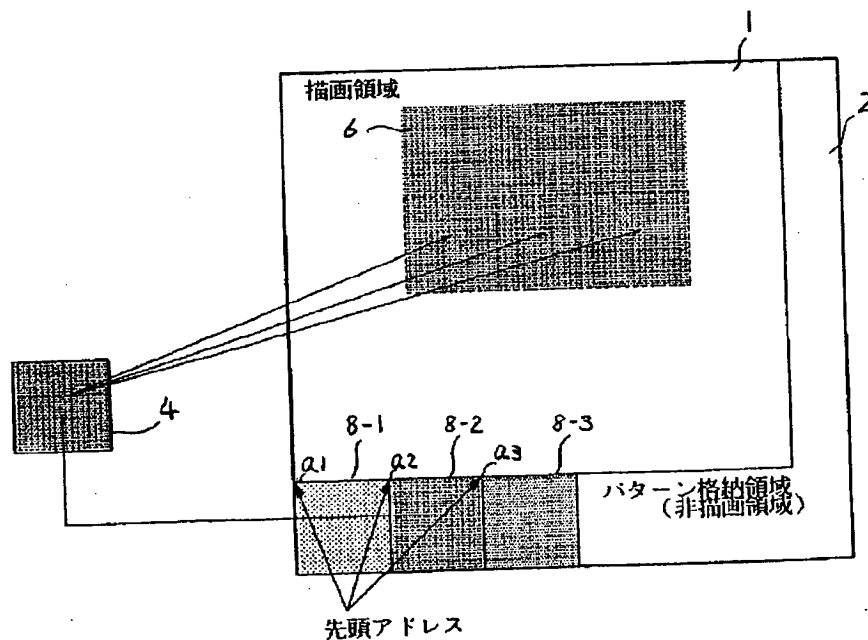
- 1 描画領域
- 2 パターン格納領域
- 3 パターンロード制御部
- 4 パターンキャッシュメモリ
- 5 描画制御部
- 6 閉鎖領域
- 8-1, 8-2, 8-3 パターンデータ

10 a1, a2, a3 パターンデータの先頭アドレス

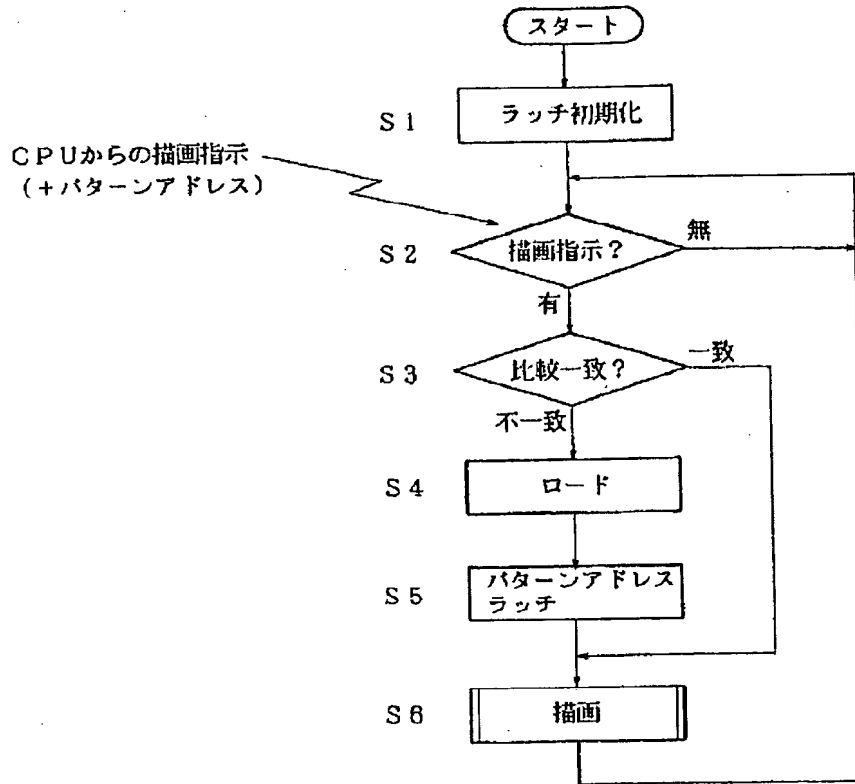
【図 1】



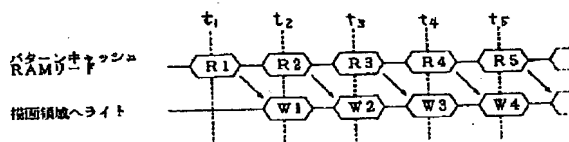
【図 2】



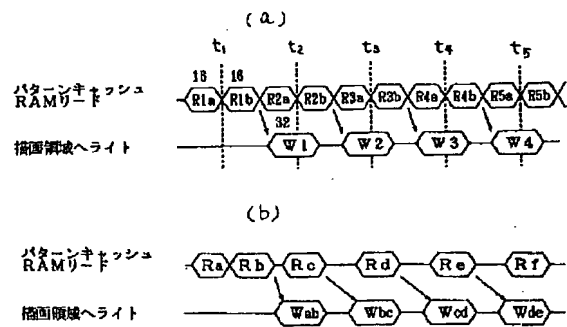
【図3】



【図4】



【図5】



【図 6】

